

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-273787

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

G11C 29/00

G06F 12/16

G11C 11/401

(21)Application number : 2000-088963

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.2000

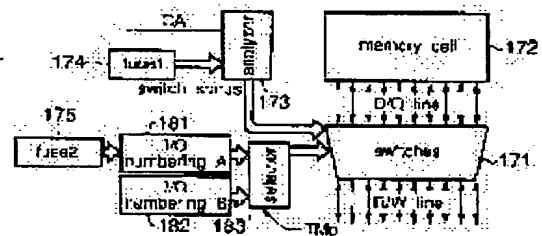
(72)Inventor : NAKAYAMA ATSUSHI
HAGA AKIRA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress reduction of access speed for a memory cell at the time of normal access mode when a forced access mode for a redundant cell test is added to a data line shift circuit, in a semiconductor memory having a data line shift redundant circuit system.

SOLUTION: This device is provided with a data line shift circuit 8 connecting plural data lines and spare data lines to plural input/output data lines, plural input/output number giving circuits 181, 182 allotting a shift indicating number increasing one by one for each start point of data line shift by the data line shift circuit to each input/output data line as position information, a selecting circuit 10 storing corresponding relation of a defective column address and a shift indicating number, and outputting a selecting signal corresponding to a shift indicating number when a defective column address is inputted, a shift control circuit 9 comparing a selecting signal with the shift indicating number and outputting a shift control signal to the data line shift circuit depending on the compared result, and a number setting selecting circuit 183 using selectively plural input/output number giving circuits.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-273787

(P2001-273787A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 D 5 B 0 1 8 6 0 3 P 5 B 0 2 4
G 0 6 F 12/16	3 1 0 3 3 0	G 0 6 F 12/16	3 1 0 Q 5 L 1 0 6 3 3 0 A
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 D

審査請求 未請求 請求項の数12 OL (全 19 頁)

(21) 出願番号 特願2000-88963(P2000-88963)

(22) 出願日 平成12年3月28日(2000.3.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 中山 篤

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 芳賀 亮

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

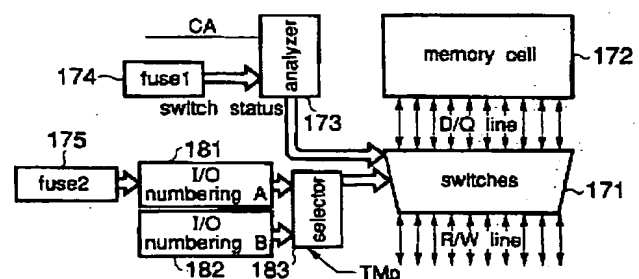
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】データ線シフト冗長回路方式を有する半導体メモリにおいて、データ線シフト回路に冗長セルテスト用の強制アクセスモードを付加する際、通常アクセスモード時のメモリセルへのアクセス速度の劣化を抑制する。

【解決手段】複数のデータ線およびスペアデータ線を複数の入出力データ線に接続させるデータ線シフト回路8と、データ線シフト回路によるデータ線シフトの起点毎に1つずつ増えるシフト指示番号を各入出力データ線に位置情報として割り付ける複数の入出力番号付与回路181, 182と、不良カラムアドレスとシフト指示番号との対応関係を記憶し、不良カラムアドレスが入力した時にシフト指示番号に対応する選択信号を出力する選択回路10と、選択信号とシフト指示番号とを比較し、比較結果によりデータ線シフト回路に対してシフト制御信号を出力するシフト制御回路9と、複数の入出力番号付与回路を選択的に使用する番号設定選択回路183とを具備する。



【特許請求の範囲】

- 【請求項1】** メモリセルがマトリックス配列されたメモリセルアレイと、
前記メモリセルアレイの不良カラムを救済するための冗長カラムセルアレイと、
アドレスをデコードして前記メモリセルアレイ内のメモリセルを選択するデコード回路と、
前記デコード回路により転送制御され、前記メモリセルアレイからの複数カラム分の読み出しデータまたは前記メモリセルアレイへの複数カラム分の書き込みデータを転送する複数のデータ線と、
前記冗長カラムセルアレイからの読み出しデータまたは前記冗長カラムセルアレイへの書き込みデータを転送するスペアデータ線と、
前記メモリセルアレイの不良カラムがアクセスされた時にその不良カラムのデータを転送すべきデータ線を起点としてそれより一方側に配置されたデータ線を1つずつシフトさせ、このシフトさせたデータ線および前記スペアデータ線を複数の入出力データ線のうちの各入出力データ線に対応して接続させるデータ線シフト回路と、
前記データ線シフト回路によるデータ線シフトの起点毎に1つずつ増えるシフト指示番号を、前記複数の入出力データ線の各々に位置情報を割り付ける複数の入出力番号付与回路と、
前記不良カラムのアドレスとシフト指示番号との対応関係を記憶し、不良カラムのアドレスが入力した時に前記シフト指示番号に対応する選択信号を出力する選択回路と、
前記選択回路から出力される選択信号と前記シフト指示番号とを比較し、その比較結果により前記データ線シフト回路に対してシフト制御信号を出力するシフト制御回路と、
前記複数の入出力番号付与回路を選択的に使用する番号設定選択回路とを具備することを特徴とする半導体記憶装置。
- 【請求項2】** 前記複数の入出力番号付与回路のうちの少なくとも一つの第1の入出力番号付与回路において不良救済の情報を持つ記憶素子の記憶内容を用いて前記複数の入出力データ線の各々に位置情報を割り付け、メモリセルの不良救済を行うことを特徴とする請求項1記載の半導体記憶装置。
- 【請求項3】** 前記第1の入出力番号付与回路において不良救済の情報を持つ記憶素子の記憶内容に関係なく、前記複数の入出力番号付与回路のうちの第2の入出力番号付与回路の付与内容を用いて前記複数の入出力データ線の各々に位置情報を割り付け、前記データ線シフト回路におけるデータ線繋ぎ換えを無効にする強制ディセーブモードを有することを特徴とする請求項2記載の半導体記憶装置。
- 【請求項4】** 前記第1の入出力番号付与回路において

不良救済の情報を持つ記憶素子の記憶内容に関係なく、前記複数の入出力番号付与回路のうちの第2の入出力番号付与回路の付与内容を用いて前記複数の入出力データ線の各々に位置情報を割り付け、前記データ線シフト回路におけるデータ線繋ぎ換えを有効にする強制アクセスモードを有することを特徴とする請求項2記載の半導体記憶装置。

【請求項5】 前記番号設定選択回路は、前記第1の入出力番号付与回路からの転送データを破壊することなく、前記第2の入出力番号付与回路の付与内容を選択することを特徴とする請求項2乃至4のいずれか1項に記載の半導体記憶装置。

【請求項6】 前記第1の入出力番号付与回路をシリアル転送回路によって構成したことを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記第2の入出力番号付与回路の付与内容に対応して前記第1の入出力番号付与回路のデータを修正する第3の入出力番号付与回路が設けられたことを特徴とする請求項4乃至6のいずれか1項に記載の半導体記憶装置。

【請求項8】 記憶すべきデータをプログラム可能であるとともに電気的に記憶データの書き換えが不可能な記憶素子と、
前記記憶素子の記憶データを転送可能な転送回路と、
前記転送回路により転送されてきた転送データをその他のデータと比較する比較回路と、
前記転送回路に含まれ、転送データの内容を選択的に変更可能な変更回路とを具備することを特徴とする半導体記憶装置。

【請求項9】 前記変更回路と比較回路との間に転送データを保持するデータ保持回路を有することを特徴とする請求項9記載の半導体記憶装置。

【請求項10】 前記データ保持回路は、前記変更回路を経て転送されてきた記憶素子の記憶データをそのまま保持することを特徴とする請求項10記載の半導体記憶装置。

【請求項11】 前記変更回路とデータ保持回路との間に転送データをデコードするデコーダを有し、前記データ保持回路は、前記デコーダによりデコードされたデータを保持することを特徴とする請求項10記載の半導体記憶装置。

【請求項12】 前記記憶素子に記憶されるデータを用いて不良のメモリセルの救済を行うことを特徴とする請求項8至11のいずれか1項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特にデータ線の接続関係をデータ線シフト冗長回路方式により切り換えて不良カラムを救済し、冗長セルをテストする回路に関するもので、例えばダイナミック

型半導体メモリ (DRAM) などに使用されるものである。

【0002】

【従来の技術】 DRAM等の半導体メモリにおいては、通常のメモリセルに対して冗長 (リダンダンシ) メモリセルを用意し、通常のメモリセル内にランダムに存在するいくつかの不良セルを救う冗長回路が採用されている。この場合、不良セルが存在する不良ロウまたは不良カラムを救済単位として冗長ロウまたは冗長カラムに置換している。

【0003】 通常の冗長回路では、不良アドレスのデータを記憶するフューズ回路をチップに搭載しておき、入力したアドレスのデータを前記フューズ回路の記憶データと比較し、一致検出時に置換信号を生成し、この置換信号により不良ロウまたは不良カラムに代えて冗長ロウまたは冗長カラムを選択 (置換) 制御する。

【0004】 ここで、不良カラム救済方式に着目した場合、不良カラムと冗長カラムを1:1に対応させると、不良救済効率を高めるためにはカラム冗長回路の規模が大きくならざるを得ない。

【0005】 そこで、より少ない規模で効率的に不良カラムの救済を可能とする方式として、データ線のシフトを利用したデータ線シフト冗長回路が提案されている

(例えば、特開平3-176899号公報、特開平5-101648号公報等)。

【0006】 これらのデータ線シフト冗長回路では、不良カラムに対応する不良アドレスが入力した時、この不良カラムの読み出しデータが出力されるデータ線に代えて隣の正常なデータ線を用いる。そして、この不良アドレス以後のアドレスに対しては、データ線を順次1つつシフトさせることにより、データ線配列の端部に配置されたスペアデータ線を含む正常なデータ線のみをデータ入出力線に接続するようなデータ線のシフト制御を行う。

【0007】 以下、従来のDRAMにメモリに設けられたカラム冗長回路について説明する。

【0008】 図26は、従来のDRAMにメモリに設けられたカラム冗長回路に関する構成の一例を示している。

【0009】 切換回路 (switches) 26は、メモリセルアレイ (memory cell array) 27との間で読み出し/書き込みデータの転送が行われるデータ線I/O line #1 とメモリ全体のデータ入出力線I/O line #2 との接続経路を繋ぎ変えるものであり、カラムアドレス信号CA (Column address) に応じてアナライザ (analyzer) 28から発行されるスイッチ状態信号 (switch status) によって動作が制御される。

【0010】 図27は、図26中のカラム冗長回路としてデータ線シフト冗長回路が設けられた場合の構成の一例を示している。

【0011】 切換回路26は、スイッチ状態信号により制御され、データ入出力線I/O line #2 とデータ線I/O li

ne #1 との接続経路をデータ線シフト方式により繋ぎ変えるものである。

【0012】 ここで、

(1) 切換回路26における構造的繰り返しの個々 (点線で囲まれた部分) を入出力ユニット (I/O unit) 26a と呼ぶ。

【0013】 (2) 入出力ユニット26a は自身の位置に関する情報である入出力番号を持つ。この入出力番号はアドレスであることが多い。

【0014】 (3) カラムアドレス信号CAに応じてその都度アナライザ28から出力されるスイッチ状態信号は、入出力番号に対応するシフト番号 (shift number) で表わされる。そして、カラムアドレス信号CAとスイッチ状態信号の対応関係の情報 (繋ぎ変え情報) を持つ (記憶する) フューズ素子 (fuse) 29が設けられている。図27では、スイッチ状態信号として、シフト番号=4が発行されている動作状態を示す。

【0015】 (4) アナライザ28より発行されたシフト番号以上の入出力番号を持つ入出力ユニット26a では、シフト動作してデータ入出力線I/O line #2 を隣のデータ線I/O line #1 に接続する。図27では、入出力番号が4以上の全ての入出力ユニット26a の繋ぎ変えを行っている。

【0016】 しかし、図27のデータ線シフト冗長回路は、不良カラムアドレスに対応してデータ線シフトの起点をフューズ素子29に記憶しておくものとする、データ入出力線I/O line #2 やデータ線I/O line #1 の本数が多い場合には、データ線シフト制御のための選択信号線 (シフト番号転送線) の本数が多くなり、データ線シフトのための切換回路26の構成が複雑になる。

【0017】 そこで、データ線シフト制御のための選択信号線の本数を少なくするように改良されたデータ線シフト冗長回路が提案されている。このデータ線シフト冗長回路は、図28に示すような構成を有するものであり、図27に示したデータ線シフト冗長回路と比べて、入出力ユニット26a に与える入出力番号として、アドレスではなく、グループ毎に異なる番号を与える点が異なる。

【0018】 ここで、

(1) 入出力ユニット26a は、カラムアドレスCAがどう変化しても同一のリダンダンシ状態になるグループに分類できる。

【0019】 (2) 入出力ユニット26a に与える入出力番号として、グループ毎に異なる番号を与える入出力番号付与回路 (I/O numbering) 30が付加されている。この場合、入出力ユニット26a のうちで入出力番号が若い側 (図中左側) を下位、他方端側 (図中右側) を上位と表現する。

【0020】 (3) カラムアドレス信号CAとスイッチ状態信号の対応関係の情報 (繋ぎ変え情報) を持つフュー

ズ素子 (fusel) 29のほかに、入出力ユニット26a と入出力番号との対応関係の情報 (繋ぎ換え情報) を持つフューズ素子 (fuse2) 31が付加されている。

【0021】図28では、シフト状態信号shift statusとしてシフト番号=1が発行されている動作状態を示す。このような構成により、シフト番号の値域を減らし、シフト状態信号shift statusを各入出力ユニット26aに伝える配線数を減らすことができる。

【0022】なお、上記したような不良カラム救済方式の改良型のデータ線シフト冗長回路について、本願出願人は、特願平11-240168号の「半導体記憶装置」により提案した。

【0023】

【発明が解決しようとする課題】ところで、図28の改良型のデータ線シフト冗長回路を有するDRAMにおいて、前記した繋ぎ換え情報を持つフューズ素子の記憶状態に関係なく、メモリセルに強制的にアクセスするテストモード (強制アクセスモード) を付加する場合を考える。なお、不良メモリセルを救済するために繋ぎ換えを行いつつメモリセルへアクセスするモードを、通常アクセスモードと呼ぶことにする。

【0024】このような強制アクセスモードを付加する場合、スイッチ状態信号をなんらかの手法で変更することで実現可能であり、強制アクセスモードを付加する回路の具体例として、図29および図30に示す構成が考えられる。

【0025】図29の回路は、図28の改良型のデータ線シフト冗長回路を有するDRAMにおいて、テストモード (test mode) の時には、カラムアドレスCAによって決定されたスイッチ状態信号を無視し、その代わりにシフト番号=4のスイッチ状態信号を入出力ユニットへ出力するように構成されている。この場合、上記シフト番号が4以上の入出力ユニット26aは存在しないので、繋ぎ換えが行われない状態、つまり、繋ぎ換えが強制的に不可能な状態 (強制ディセーブル状態) になり、繋ぎ換え情報を持つフューズ素子の記憶状態に関係なくなる。

【0026】他方、図30の回路は、図28の改良型のデータ線シフト冗長回路を有するDRAMにおいて、テストモードの時には、カラムアドレスCAによって決定されたスイッチ状態信号を無視し、その代わりにシフト番号=-1のシフト状態信号shift statusを入出力ユニット26aへ出力するように構成されている。この場合、全てのスイッチ状態信号、全ての入出力番号において、入出力番号>=スイッチ番号が成立した状態、つまり、繋ぎ換えが強制的に行われた状態 (強制イネーブル状態) になり、繋ぎ換え情報を持つフューズ素子の記憶状態に関係なくなる。

【0027】次に、上記したようにスイッチ状態信号を変更する手法によって強制アクセスモードを実現する場合の留意点について述べる。

【0028】テストモードの時に、シフト番号=4またはシフト番号=-1のシフト状態信号shift statusを入出力ユニット26aへ出力するためには、通常アクセスモードと強制アクセスモードのどちらであるかを判定するロジック回路 (logic) をスイッチ状態信号の生成回路に組み込む必要がある。

【0029】しかし、スイッチ状態信号Switch statusはカラムアドレスCAによって決定され、非常に高速に変化する信号であるので、前記したようなロジック回路をスイッチ状態信号の生成回路に組み込むことは、通常アクセスモード時におけるメモリセルへのアクセス速度の低下を招く。また、非常に高速に変化するスイッチ状態信号Switch statusが通常アクセスモード時と強制アクセスモード時において異なる信号経路 (pass) を通ることは、テストモードの性格上、好ましくない。

【0030】本発明は上記の問題点を解決すべくなされたもので、シフト番号の値域を減らし、スイッチ状態信号を各入出力ユニットに伝える配線数を減らすことができる改良型のデータ線シフト冗長回路を利用しつつ、繋ぎ換え情報を持つ記憶素子の記憶内容に関係なくメモリセルに強制的にアクセスするテストモード (強制アクセスモード) を付加する場合に、通常アクセスモード時におけるメモリセルへのアクセス速度の劣化を抑制し得る半導体記憶装置を提供することを目的とする。

【0031】また、本発明の他の目的は、記憶すべきデータをプログラム可能であるとともに電氣的に記憶データの書き換えが不可能な記憶素子の記憶データを比較回路に転送する際、転送データを任意の別のデータに切り換えることが可能になる半導体記憶装置を提供することにある。

【0032】

【課題を解決するための手段】本発明の第1の半導体記憶装置は、メモリセルがマトリクス配列されたメモリセルアレイと、前記メモリセルアレイの不良カラムを救済するための冗長カラムセルアレイと、アドレスをデコードして前記メモリセルアレイ内のメモリセルを選択するデコード回路と、前記デコード回路により転送制御され、前記メモリセルアレイからの複数カラム分の読み出しデータまたは前記メモリセルアレイへの複数カラム分の書き込みデータを転送する複数のデータ線と、前記冗長カラムセルアレイからの読み出しデータまたは前記冗長カラムセルアレイへの書き込みデータを転送するスペアデータ線と、前記メモリセルアレイの不良カラムがアクセスされた時にその不良カラムのデータを転送すべきデータ線を起点としてそれより一方向側に配置されたデータ線を1つずつシフトさせ、このシフトさせたデータ線および前記スペアデータ線を複数の入出力データ線のうちの各入出力データ線に対応して接続させるデータ線シフト回路と、前記データ線シフト回路によるデータ線シフトの起点毎に1つずつ増えるシフト指示番号を、前記

複数の入出力データ線の各々に位置情報を割り付ける複数の入出力番号付与回路と、前記不良カラムのアドレスとシフト指示番号との対応関係を記憶し、不良カラムのアドレスが入力した時に前記シフト指示番号に対応する選択信号を出力する選択回路と、前記選択回路から出力される選択信号と前記シフト指示番号とを比較し、その比較結果により前記データ線シフト回路に対してシフト制御信号を出力するシフト制御回路と、前記複数の入出力番号付与回路を選択的に使用する番号設定選択回路とを具備することを特徴とする。

【0033】本発明の第2の半導体記憶装置は、記憶すべきデータをプログラム可能であるとともに電氣的に記憶データの書き換えが不可能な記憶素子と、前記記憶素子の記憶データを転送可能な転送回路と、前記転送回路により転送されてきた転送データをその他のデータと比較する比較回路と、前記転送回路に含まれ、転送データの内容を選択的に変更可能な変更回路とを具備することを特徴とする。

【0034】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0035】まず、本発明を理解するために、前記した提案に係る特願平11-240168号の「半導体記憶装置」について説明する。

【0036】図1は、カラム冗長回路として改良型のデータ線シフト冗長回路が設けられたDRAMのブロック構成を概略的に示す。このDRAMは、ゲートアレイやスタンダードセルを用いて構成された論理回路部と同じチップ上に搭載される場合もある。

【0037】図2は、図1中のメモリセルアレイ1の構成を模式的に示している。このメモリセルアレイは、複数本ずつのワード線WLとビット線BL（実際には対をなす）の各交差部にダイナミック型メモリセルMCが配列（マトリクス配列）されており、各ビット線BLにはビット線センスアンプS/Aが接続されている。

【0038】アドレス信号はアドレスバッファ3に取り込まれ、ロウアドレスおよびカラムアドレスがそれぞれロウデコーダ4およびカラムデコーダ5によりデコードされる。このロウデコーダ4はメモリセルアレイ1のワード線WLを選択し、カラムデコーダ5はカラムゲート6を選択駆動し、カラムゲート6はメモリセルアレイ1のビット線BLを選択してデータ線DQ（本例ではDQ0～DQ127）に接続する。

【0039】上記データ線DQは、本例では、図2中に示したように、メモリセルアレイ1を横切るようにメモリセルアレイ1上に複数本配列される。このデータ線DQは、データ線センスアンプ6を介してデータ線RD（本例ではRD0～RD127）に接続されている。ここでは、データ読み出し用のデータ線RDを示しているが、実際には各データ線RDと並行して書き込み用のデータ線（図

示せず）が配列される。

【0040】前記メモリセルアレイ1には、不良救済のための冗長回路として、本例では、ワード線方向の両端に冗長カラムセルアレイ1a、1bが設けられている。これらの冗長カラムセルアレイ1a、1bのビット線は、カラムゲート2およびスペアデータ線SDQ0、SDQ1を順に介してマルチプレクサ回路7に接続されている。上記スペアデータ線SDQ0、SDQ1の途中にはデータ線センスアンプ回路6が挿入されている。

【0041】本例では、メモリセルアレイ1からのデータ読み出し時には、128個のビット線データがカラムゲート2により選択された128本のデータ線DQ0～DQ127に同時に転送される。メモリセルアレイ1へのデータ書き込み時には、128本のデータ線DQ0～DQ127のデータがカラムゲート2により選択された128本のビット線に同時に転送される。

【0042】この時、不良カラムを救済する場合は、マルチプレクサ回路7により、データ線DQ0～DQ127と入出力データ線I/O0～I/O127との接続関係を切り換えることにより行われる。即ち、不良カラムアドレスが入力した時、マルチプレクサ回路7は、不良カラムのビット線データが出力されるべきデータ線DQiを回避して1つつデータ線をシフトさせ、スペアデータ線SDQ0またはSDQ1を含む正常なデータ線群を入出力データ線群に接続させるようなシフト動作を行う。

【0043】前記マルチプレクサ回路7は、データ線シフト回路8と、このデータ線シフト回路8のシフト動作を制御するシフト制御回路9とから構成されており、選択回路10によりシフト動作が制御される。

【0044】上記選択回路10は、後述するように、不良カラムのアドレスとこれに対応して前記データ線シフト回路8によるデータ線シフトの起点毎に1つつ増えるように各データ入出力線毎に割り付けられたシフト指示番号との対応関係を記憶するフューズ回路（選択信号保持回路）を有し、前記不良カラムのアドレスが入力した時に前記シフト指示番号に対応する選択信号を出力するものである。

【0045】前記シフト制御回路9は、各データ線毎の上述したシフト指示番号を保持するフューズ回路（シフト指示番号保持回路）を有し、選択回路10から出力される選択信号と前記シフト指示番号とを比較し、その比較結果により前記データ線シフト回路7に対してシフト起点以上（あるいは以下）のデータ線をシフトさせるためのシフト制御信号を出力するものである。

【0046】前記データ線シフト回路8は、メモリセルアレイ1の不良カラムがアクセスされた時にその不良カラムのデータを転送すべきデータ線を起点として、それより一方側に配置されたデータ線を1つつシフトさせて前記スペアデータ線を含めてデータ入出力線に接続させるものである。

【0047】ここで、マルチプレクサ回路7におけるデータ線シフト動作の原理的な考え方について図3を参照して説明する。

【0048】複数のサブアレイにより構成されるメモリセルアレイの各サブアレイを横切ってデータ線DQが配設されており、各サブアレイでは、1本のデータ線に対応して例えば4つのカラムCol0~Col3の4本のビット線（実際には4対）が接続されている。ここでは、説明の簡略化のため、1データ線当り4カラムの例を示しているが、実際には1データ線当り8カラムあるいは16カラムの場合が多い。また、不良カラムの位置を×印で示している。即ち、データ線DQ1では、カラムCol1が不良、データ線DQ2では、カラムCol2とCol3が不良、データ線DQ5では、カラムCol0が不良である例を示している。

【0049】これらの不良カラムがアクセスされた時にデータ線シフトを行うために、本例では、各データ線毎に割り当てられたデータ線シフト指示番号を用いている。このデータ線シフト指示番号は、図3に示すように、どのカラムアドレスで不良が存在しているかに拘らず、データ線配列の順（本例では左側から右側の順）に不良カラムがある度に1ずつ増える番号である。

【0050】即ち、図3に示した例では、データ線DQ0には不良がないのでシフト指示番号「0」が割り当てられ、次のデータ線DQ1にはカラムCol1に不良があるのでシフト指示番号は1だけ増えて「1」が割り当てられる。次のデータ線DQ2にはカラムCol2とCol3に不良があるのでシフト指示番号は1だけ増えて「2」が割り当てられ、次のデータ線DQ3とデータ線DQ4には不良がないのでデータ線DQ2と同じシフト指示番号「2」が割り当てられる。以下、同様にして、不良カラムがある度に1ずつ増えるシフト指示番号が設定される。

【0051】本例では、シフト指示番号は、3ビットにより0~7の8通りの番号で示される。このシフト指示番号は、カラム不良の数に対応し、不良カラムが8個ある時には「7」までの番号が用いられることになる。また、シフト指示番号の「1」以上は、シフトを行うことを意味する。

【0052】例えば、カラムアドレスとして“Col1”が入力すると、このカラムアドレスに対応するシフト指示番号は「1」であり、「1」以上のシフト指示番号を持つデータ線がシフトの対象となる。即ち、データ線DQ1に接続されるべき入出力データ線I/O 1は、上記データ線DQ1を避けて隣のデータ線DQ2に接続され、以下、順次1ずつ入出力データ線とデータ線の接続関係がシフトされ、最後の入出力データ線I/O 127はスペアデータ線SDQ1に接続される。

【0053】カラムアドレスとして“Col2”または“Col13”が入力した時には、上記と同様に、データ線DQ2以降がシフトの対象となり、カラムアドレスとして“Col

0”が入力した時には、データ線DQ5以降がシフトの対象となる。

【0054】但し、ここまでの説明は、一方向のデータ線シフトのみについて行ったが、図1に示すように、メモリセルアレイ1の両側に冗長カラムセルアレイ1a、1bを配置し、これに対応してスペアデータ線（SDQ1、SRD1）、（SDQ0、SRD0）を配置した場合には、データ線シフトの方向を両方向とする。例えば、データ線配列の中央部から右側の不良に対しては、データ線の右方向シフトにより、スペアデータ線（SDQ1、SRD1）を用い、左側の不良に対してはデータ線の左方向シフトにより、スペアデータ線（SDQ0、SRD0）を用いるようにする。

【0055】上述したように、各データ線についてシフト指示番号を設定した場合、実際にアドレスが入力した時にデータ線シフトの起点を決定するためには、図3に示した入出力データ線番号（I/O No.=0~127）がいくつかのシフト指示番号を持つかを決定する第1の情報と、何番のカラムが何番のシフト指示番号を持つかを決定する第2の情報が必要である。

【0056】本例では、前記第1の情報を図1中のマルチプレクサ回路7内のシフト制御回路9内にフューズ情報として保持し、前記第2の情報を図1中の選択回路10内にフューズ情報として保持する。

【0057】図4は、図1中の選択回路10の構成を示している。この例では、8個（3ビット）のカラムアドレスCA<0:2>に8通り（3ビット）のシフト指示番号を割り付けている。そのために、図5に示すように、カラム数×3のフューズF00~F07、F10~F17、F20~F27が用いられている。これらのフューズは、レーザによる溶断を利用してプログラミングするタイプ（レーザプログラミング型）、電圧印加（または電流印加）により端子間を切断または導通させることによりプログラミングを行うタイプ（電氣的プログラミング型）のいずれでもよいが、好ましくは電氣的プログラミング型とする。

【0058】シフト指示番号の3ビットに対応して、これら7個ずつのフューズを持つフューズ回路410、411、412は同じ構成を有し、それぞれフューズデータをラッチするための、NMOSトランジスタQN3、QN4とPMOSトランジスタQP2、QP3により構成されたラッチ回路40を有する。

【0059】フューズF00~F07、F10~F17、F20~F27は、図3を参照して説明したように、不良のカラムアドレスに応じて設定されるシフト指示番号の各ビットデータがプログラミングされる。各ラッチ回路40のノードN1は、NMOSトランジスタQN1を介して各フューズ端子に接続され、また、PMOSトランジスタQP1を介して電源Vccに接続されている。ノードN1とNMOSトランジスタQN3の間には、ラッチ回路40を一時機能停止させるためのNMOSトランジスタQN2が挿入されている。

【0060】プログラミングされたフューズデータのラ

ッチ回路40への転送は、クリア信号FCLRn とセット信号FSETにより制御される。即ち、電源投入後、まず、FCLRn="L" となり、NMOSトランジスタQN2 がオフでラッチ回路40は機能停止し、この状態でPMOSトランジスタQP1 を介してノードN1="H"にプリセットされる。そして、FCLRn="H" FSET="H"となることにより、フューズの切断、非切断に応じて、ノードN1は"H" レベルを保持し、あるいは"L" になり、フューズデータがラッチ回路40にセットされる。

【0061】この選択回路10には、カラムアドレスCA<0:2>が入力される。入力されたカラムアドレスは、カラムデコーダ41によりデコードされて、相補信号YFt<0:7>, YFc<0:7>となる。各フューズ回路410, 411, 412 のラッチ回路40の各7個のノードN2には、デコードされた相補信号号YFt<0:7>, YFc<0:7>により制御されるクロック・インバータ42が設けられている。これにより、カラムアドレス入力に対応して、各フューズ回路410, 411, 412 が持つ7個ずつのフューズデータF0<0:7>, F1<0:7>, F2<0:7> のなかから3ビットが取り出され、インバータ43を介して3ビットのフューズデータ（即ち、選択信号）Z0n, Z1n, Z2n が出力される。この選択信号Z0n, Z1n, Z2n は、正常なカラムの時は、オール"1" (= "H") であり、不良カラムアドレスが入力した時には、図3で説明したように不良カラムアドレスに対応して設定されたシフト指示番号を意味するデータである。

【0062】図6は、図5の選択回路10からカラムアドレスに応じて出力される3ビットの選択信号が供給される図1中のシフト制御回路9の構成を示す。このシフト制御回路9は、各データ入出力線毎に設けられており、各入出力データ線毎に設定されたシフト指示番号をフューズデータとして保持するシフト指示番号保持回路61と、この保持回路61のフューズデータと、選択回路10から送られる選択信号との比較判定により、シフト制御信号SLn, SRn を出力する判定回路62とを有する。シフト制御信号SLn, SRn はそれぞれ左シフト、右シフトを指示する信号である。

【0063】図7は、図6中のシフト指示番号保持回路61の構成を示す。このシフト指示番号保持回路61は、各入出力データ線に割り当てられた3ビットのシフト指示番号がプログラミングされるフューズF0~F2を持つフューズ回路610~612により構成される。これらのフューズもレーザプログラミング型または電氣的プログラミング型のいずれでもよいが、好ましくは電氣的プログラミング型とする。各フューズ回路610~612は、プログラミングされたフューズF0~F2のデータFD0n~FD2nを保持するためのラッチ回路60を持ち、制御信号FCLn, FSETによりそのラッチ制御がなされる。これは、図4の選択回路10におけるフューズ回路410~412と同様であり、詳細な説明は省く。

【0064】前記判定回路62は、シフト指示番号保持回路61の3ビットのフューズデータFD0n~FD2n（即ち、シフト指示番号）と、選択回路10から送られる選択信号Z0n~Z2n（不良カラムアドレスが入力した時には、対応するシフト指示番号となる）とを比較して、それらが一致するデータ線より右側（または左側）のデータ線について、シフトを指示するシフト制御信号SRn="L"（または、SLn="L"）を出力する、一種のデコード回路である。

【0065】不良カラムアドレス以外のカラムアドレスが入力した時は、SLn=SRn="H" である。即ち、図3の例で言えば、カラムCol1のデータを読み出すアドレスが入力した時に、2番目以降の入出力データ線I/O1~I/O127は、データ線DQ1を回避し、一つずつずれたデータ線に接続されるように、2番目以降の入出力データ線I/O1~I/O127についてSLn="L" が出力される。

【0066】図8は、図6中の判定回路62の具体的な構成例を示す。ここでは、左シフトを制御するシフト制御信号SLn を出力する部分を示したが、右シフトを制御するシフト制御信号SRn を出力する部分も同様の構成となる。

【0067】この判定回路62は、シフト指示番号保持回路61の各フューズデータFD0~FD2に対応する相補データ信号（FD0tn, FD0cn）~（FD2tn, FD2cn）と、選択回路10からの選択信号Z0n~Z2nを各対応ビット毎に比較してその大小関係を判定するロジックが組まれている。即ち、選択信号Z0n~Z2nと、フューズデータFD0n~FD2nとが一致するデータ線まで、SLn="1" であり、それ以降のデータ線についてSLn="0" を出力するようになっている。

【0068】以上のようにシフト制御回路9から発生されるシフト制御信号SLn, SRnにより制御されるデータ線シフト回路8は、データ読み出しについては、図9に示すような読み出し用のシフト回路8Rとして構成され、データ書き込みについては図10に示すような書き込み用のシフト回路8Wとして構成される。

【0069】上記読み出し用のシフト回路8Rについて説明すれば、各データ線RDi 毎に、ナンド（NAND）ゲートG21~G24を主体とするユニットゲート回路91が構成されている。データ線RDi のデータと対応するシフト制御信号SLn, SRn がナンドゲートG21に入り、データ線RDi のデータは同時に隣接するデータ線RDi-1, RDi+1用のユニットゲート回路のナンドゲートG23, G22にも入る。

【0070】例えばデータ線RDiに着目して説明すると、シフト制御信号がSLn="H", SRn="H"の時は、このデータ線RDiのデータはナンドゲートG21を通り、さらにナンドゲートG24を通して、対応する入出力データ線I/Oiに取り出される。これに対して、上記データ線RDiについてシフト制御信号SLn="L"になると、このデータ

線RD_i のナンドゲートG21 は非活性となり、代わってナンドゲートG22 が活性になる。これにより、データ線RD_i 上のデータに代って一つシフトした隣のデータ線RD_{i-1} のデータがナンドゲートG22 を通り、さらにナンドゲートG24 を通って、人出力データ線I/O_iに取り出される。即ち、データ線のシフトが行われたことになる。

【0071】SR_n="L" による右シフトの制御も同様である。

【0072】データ書き込み用のシフト回路8Wについても、図10に示すように、各書き込み用データ線WD_i

(前述のように図1では省略されている) 毎に、ナンドゲートG31 ~G34 を主体とするユニットゲート回路101 が構成されている。この場合、人出力データ線I/O_iの書き込みデータと対応するシフト制御信号SL_n , SR_n がナンドゲートG21...に入り、同じ書き込みデータが同時に同じユニットゲート回路101 内のナンドゲートG32 ... , G33 にも入る。これらのナンドゲートG32 , G33はそれぞれシフト制御信号SL_n =SR_n="L" の時に活性化され、それらの出力は隣接するユニットゲート回路のナンドゲートG34 ...に入る。

【0073】例えば人出力データ線I/O_iに着目すると、シフト制御信号がSL_n="H" , SR_n="H" の時は、この人出力データ線I/O_iのデータはナンドゲートG31 を通り、さらにナンドゲートG34...を通して、対応するデータ線WD_i に転送される。これに対して、上記人出力データ線I/O_iについてシフト制御信号SL_n="L" になると、対応するナンドゲートG31 は非活性となり、代ってナンドゲートG32 が活性になる。これにより、人出力データ線I/O_iのデータがナンドゲートG32 を通り、隣接するユニットゲート回路のナンドゲートG34 を通って、隣のデータ線WD_{i-1} に転送される。即ち、データ線WD_i を回避して、一つシフトした隣のデータ線WD_{i-1} にデータ転送される。

【0074】SR_n="L" による右シフトの制御も同様である。

【0075】なお、上述した実施の形態においては、各データ人出力線毎に8通り(3ビット)のシフト指示番号を保持するために、図6に示すように、各データ人出力線毎にフューズ回路81を配置した。しかし、通常、フューズは大きなレイアウト面積を必要とするので、各データ人出力線毎に3個ずつフューズ回路を配置することはエリアペナルティが大きい。図11は、図6のシフト制御回路に対してエリアペナルティを改善した構成を図6に対応させて示している。このシフト制御回路では、フューズ回路のうち、フューズ群610 はI/O 線配列の外側に配置し、そのフューズデータを順次転送して保持するシフトレジスタ611 を各データ人出力線位置に配置している。

【0076】フューズ群610 のフューズデータは、電源投入時の初期化動作において自動的に読み出されてシフトレジスタ611 に転送され、前述の実施形態と同様に各

データ入出力線毎に設定されたシフト指示番号が保持されるようにする。

【0077】各シフトレジスタ611 は、図12に示すように、3ビットずつのフューズデータFIN0~FIN2にそれぞれ対応して配置されて、相補クロックFCLK_t , FCLK_cにより交互に駆動されるトランスファゲートTG1 , TG2と、これらのトランスファゲートTG1 , TG2 を転送されたデータを保持するラッチ回路LA1 , LA2 とから構成される。

【0078】このようなシフト制御回路によると、大きな面積を必要とするフューズ群をデータ入出力線の配線領域の外側に配置することにより、シフト指示番号を記憶保持するフューズ回路によるエリアペナルティを小さいものとしてすることができる。

【0079】さらに、上記したシフト制御回路では、3ビットのシフト指示番号に対応して各データ人出力線毎にシフトレジスタ611 を3ビットずつ設けたが、図13に示すシフト制御回路のように、各データ人出力線毎に1ビットのシフトレジスタ611 と加算器132 により構成することができる。

【0080】各加算器132 は、3ビットのシフト指示番号となるフューズデータFD0 ~FD2を出力するものである。この場合、シフトレジスタ611 には、シフト指示番号の大きい方からのデータ入力(図13の場合には、I/O127側からのデータ入力)により、図14に示すように、シフト指示番号がインクリメントするI/O 位置で"1"("H")となるフューズデータF_pが設定されるようにする。そして、シフトレジスタ611 がF_p="1"のI/O 位置では、加算器132 により、シフト方向後段の加算器出力とF_pとを加算して、所望のシフト指示番号を出力するようにしている。

【0081】図13中のデータ変換回路131 は、図1中の選択回路10から出力されるフューズデータである3ビットの選択信号FIN (=Z0_n ~Z2_n)を、インクリメント位置で"1"、それ以外の位置で"0"となる1ビットデータに変換する回路である。これは、例えば、図15に示すように、コンパレータ131aとカウンタ131bとから構成することができる。

【0082】図14に示すように、シフト指示番号は、データ人出力線の例えば小さい番号から順にシフト起点位置で1ずつ増える数字であるので、カウンタ131bによりクロックFCLKをカウントすると同時に、コンパレータ131aにおいて、フューズデータFIN とカウント値を比較し、両者が等しい場合に"1"、カウント値が大きい場合には"0"とすれば、図14に示すように、シフトレジスタ611 に転送するためのフューズデータF_pとして、シフト指示番号のインクリメント位置で"1"となるデータが得られる。

【0083】図16は、図13のシフト制御回路における任意の1段のシフトレジスタ611と加算器132 の具体

的な構成である。ここで、シフトレジスタ611は、図12と同様に、それぞれ相補クロック信号FCLKt, FCLKcにより交互に駆動されるトランスファゲートTG1, TG2を介して縦続されているラッチ回路LA1, LA2により構成されている。また、加算器132は、3個の排他的論理和ゲートXOR0~XOR2を用いて構成されている。この加算器132は、前段からの3ビットデータをFDA0~FDA2、当該段の出力データ(図13中のデータFDO~FD2)をFDB0~FDB2で示している。

【0084】上記加算器132において、排他的論理和ゲートXOR0には、前段フューズデータの1ビット目FDA0とシフトレジスタのデータFpが入る。排他的論理和ゲートXOR1には、シフトレジスタのラッチ回路LA2の入力ノードのデータFnおよびその出力ノードのデータFpにより制御されるトランスファゲートTG11を介して前段フューズデータの1ビット目FDA0が入るとともに前段フューズデータの2ビット目FDA1が入る。排他的論理和ゲートXOR2には、トランスファゲートTG11の出力により制御されるトランスファゲートTG12を介して、前段フューズデータの2ビット目FDA1が入るとともに前段フューズデータの3ビット目FDA2が入る。

【0085】Fp="0"の時は、トランスファゲートTG11, TG12がそれぞれオフであり、前段出力FDA0~FDA2がそのまま排他的論理和ゲートXOR0~XOR2を通して、FDB0~FDB2となる。排他的論理和ゲートXOR0では、FDA0, Fpのいずれか一方が"1"の時は、FDB0="1"である。これに対して、両方が"1"の時は、トランスファゲートTG11を経てFDA0が桁上げ信号として次の排他均論理和ゲートXOR1に入り、FDA1との和がとられる。以下同様にして、Fp="1"のI/O位置でインクリメントすると、前述した3ビットのフューズデータが復元されることになる。

【0086】上記したように、不良カラム救済のためのデータ線シフトを行うために各データ線毎に3ビットのシフト指示番号を設定することにより、同時に人出力するI/O端子が多い場合にも、I/O線領域に通すシフト制御のための選択信号線の本数をI/O線数に比べて少なくすることができ、データ線シフト制御のためのエリアペナルティを小さいものとして行うことができる。また、選択信号線の本数は、I/O線数に依らずに一定とすることができるので、特にロジック混載型DRAM等の多ビット並列入出力型のメモリに有効である。

【0087】また、上記の実施形態では、シフト指示番号として、3ビットで表される0~7の番号を用いたが、一般にn(任意の正の整数)ビットで表される番号を設定することができる。

【0088】また、上記の実施形態において、特にフューズ回路に電気的プログラミング型のフューズを用いることは、I/O線のピッチを小さくする上で有効である。即ち、レーザプログラミング型のフューズを用いた場合には、レーザ照射を行う必要上、その上に配線を通すこ

とができないが、電気的プログラミング型フューズの場合には、その上に配線を通すことができるからである。

【0089】以上述べたように上記提案に係る半導体記憶装置によれば、不良カラム救済のためのデータ線シフトを行うために、各データ線毎に、同時に人出力するI/O端子より少ないシフト指示番号を設定することにより、I/O線領域に通すシフト制御のための選択信号線の本数を減らすことができる。

【0090】<実施形態>図17は、本発明の実施形態に係るDRAMにおいて、図1乃至図16中に示した改良型データ線シフト冗長回路に対して、メモリセルに強制的にアクセスするテストモード(強制アクセスモード)を付加した場合の概念的な構成を示している。

【0091】本実施形態1では、切換回路(switches)171の各入出力ユニット(I/O unit)に入出力番号(I/O number)を与えるための複数の入出力番号付与回路を持つことを特徴とするものであり、本例では第1の入出力番号付与回路(I/O numbering A)181および第2の入出力番号付与回路(I/O numbering B)182を持っている。

【0092】即ち、図17において、メモリセルアレイ(memory cell array)172は、通常のセルアレイと、不良救済のための冗長カラムセルアレイを有する。データ線I/O line #1は、上記メモリセルアレイ18との間で読み出し/書き込みデータの転送が行われるものである。

【0093】切換回路171は、上記データ線I/O line #1とメモリ全体のデータ入出力線I/O line #2との接続経路をデータ線シフト方式により繋ぎ変えるものであり、図1中のマルチプレクサ回路7に対応する。

【0094】アナライザ(analyzer)173は、カラムアドレス信号CAおよび第1の繋ぎ換え情報(入出力データ線番号0~127がいくつかのシフト指示番号を持つかを決定する情報)を持つフューズ素子(fuse1)174のデータに応じてスイッチ状態信号を発行し、前記切換回路171の入出力ユニットに対してカラムアドレス入力毎にデータ線シフトの起点を決定する動作を制御するものである。

【0095】第1の入出力番号付与回路181は、第2の繋ぎ換え情報(何番のカラムが何番のシフト指示番号を持つかを決定する情報)を持つフューズ素子(fuse2)175のデータに応じて第1の入出力番号Aを出力するものである。

【0096】第2の入出力番号付与回路182は、切換回路171による繋ぎ換えを強制的に無効状態(強制ディセーブル)、または、切換回路171による繋ぎ換えを強制的に行う状態(強制リダンダンシ)に設定するための第2の入出力番号Bを出力するものである。

【0097】セレクト回路(selector)183は、前記2個の入出力番号付与回路181, 182の出力が入力し、テス

トモード信号T_{mp}により選択制御が行われ、通常アクセスモード時（信号T_{mp}が非活性状態）には第1の入出力番号付与回路181の出力を選択し、強制アクセスモード時（信号T_{mp}が活性状態）には第2の入出力番号付与回路182の出力を選択し、その選択出力（第1の入出力番号Aまたは第2の入出力番号B）を切換回路171の各入出力ユニットに対して設定するために供給するものである。

【0098】次に、図17のデータ線シフト冗長回路における（1）通常アクセスモード時、（2）切換回路171による繋ぎ代えを強制的に無効状態に設定する強制ディセーブル時、（3）切換回路171による繋ぎ代えを強制的に行う強制アクセスモード（強制リダンダンシモード）の二例について、それぞれの動作を説明する。

【0099】図18は、図17のデータ線シフト冗長回路の通常アクセスモード時の動作状態を示している。この動作状態においては、入出力ユニットには通常の値のシフト番号が書き込まれている。この例では、第1の入出力番号付与回路181の出力がセクタ回路183により選択され、入出力ユニットのシフト番号の値域は0から3である。

【0100】この状態でメモリへのアクセスが生じると、アナライザ173からスイッチ状態信号としてシフト番号が発行され、各入出力ユニットへ出力される。

【0101】各入出力ユニットでは、自身の入出力番号とシフト番号との大小比較が行われ、繋ぎ代えが適宜行われる。この例では、アナライザ173からシフト番号=1が発行された時、入出力番号が1以上の4つの入出力ユニットで繋ぎ変えが行われている。

【0102】図19は、図17のデータ線シフト冗長回路の切換回路171による繋ぎ代えを強制的に無効状態に設定する強制ディセーブルモードの動作状態を示している。この場合、図18に示した通常アクセスモードと同じメモリセルへのアクセスが生じ、アナライザ173からシフト番号=1が発行されている動作状態を示している。

【0103】この強制ディセーブルモードの時には、第2の入出力番号付与回路182の出力がセクタ回路183により選択され、全ての入出力ユニットの入出力番号を、シフト番号の値域（0から3）よりも小さい値である-1に設定する。

【0104】この状態で、メモリへのアクセスが生じ、アナライザ173からスイッチ状態信号としてシフト番号=1が発行された時、入出力番号が-1の全ての入出力ユニットにおける繋ぎ代えが禁止される。

【0105】図20および図21は、図17のデータ線シフト冗長回路の切換回路171による繋ぎ代えを強制的に行う強制アクセスモード（全リダンダンシを有効にする強制リダンダンシモード）2種について各々の動作状態を示している。

【0106】図20に示す第1の強制アクセスモードでは、第2の入出力番号付与回路182の出力がセクタ回路183により選択され、全ての入出力ユニットの入出力番号を0に設定するとともに、シフト番号を強制的に0に設定する（スイッチ状態信号をシフト番号=0に書き換える）。

【0107】したがって、この第1の強制アクセスモードにおいては、どのようなシフト番号が発行されても、即ち、どのカラムアドレスCAにアクセスされても、入出力番号=0、シフト番号=0となり、全ての入出力ユニットにおいて繋ぎ代えが行われる。

【0108】また、図21に示す第2の強制アクセスモードでは、全ての入出力ユニットの入出力番号を、シフト番号の値域（0から3）よりも大きい値である4に設定する。

【0109】この状態で、メモリへのアクセスが生じ、アナライザ173からシフト番号=1が発行された時、全ての入出力ユニットの入出力番号が4であるので、全ての入出力ユニットで繋ぎ変えが行われる。この場合、図20に示した例と異なり、スイッチ状態信号をシフト番号=0に書き換える必要はない。

【0110】以上の動作を実現するために、必要に応じて入出力番号を書き換えるためのロジック回路を入出力番号の発行箇所に加えておくことにより、シフト番号Shift numberの発行箇所でのロジック回路を極力少なくすることが可能になる。

【0111】これにより、データ線I/O line #1と入出力データ線I/O line #2の繋ぎ代え速度の向上、強制アクセスモード時と通常アクセスモード時のリードライトデータや高速に変化する関連信号の経路を近づけることが可能になる。

【0112】以上説明したような強制アクセスモードを実現する際に、通常アクセスモード時の入出力番号を書き換えている。この際、転送された通常アクセスモード時の入出力番号の転送内容を破壊しない非破壊方式、または、転送された通常アクセスモード時の入出力番号の転送内容の破壊を許す破壊方式を採用することができる。

【0113】前者の非破壊方式では、切換回路部の各入出力ユニットで通常アクセスモード時の入出力番号、もしくはその一部を強制アクセスモード時にも保存しておき、強制アクセスモード時は入出力番号を一時的に変える手法により、通常アクセスモードと強制アクセスモードとの相互移行を容易に行うことができる。また、入出力ユニットに位置情報（入出力番号）を割り付ける際に、所要時間が比較的長くなる同期シリアル転送を用いている場合にデータの非破壊方式を適用すると、強制アクセスモード終了後、再転送を行う必要がない。

【0114】後者の破壊方式では、強制アクセスモード時には、通常アクセスモードの入出力番号転送回路を用

いて、強制アクセスモード時の入出力番号を改めて転送する。

【0115】以下、前述した図19乃至図21の動作を実現するための切換回路171中のシフト制御回路9の具体的な回路例について説明する。

【0116】図22は、切換回路171の各入出力ユニット22同士で信号をやり取りする信号線と、入出力番号転送回路23と、入出力データ線I/O lineの繋ぎ代えを行うか否かを決定するシフト判定回路24の接続関係を簡略的に示したものである。

【0117】ここで、入出力番号転送回路23は、通常アクセスモード時の入出力番号を転送・保持する回路である。また、シフト判定回路24は、入出力データ線I/O lineの繋ぎ代えを行うか否かを決定する回路である。

【0118】図23は、図22中の各入出力ユニット22における入出力番号転送回路23を取り出して示している。

【0119】この入出力番号転送回路は、シフトレジスタ231、3ビット加算器232、符号転送回路233およびノーリダングダンシモード設定回路(DNR)234からなる。このシフトレジスタ231は、図16を参照して前述したシフトレジスタ611と同様に、それぞれ相補クロック信号FCLKt, FCLKcにより交互に駆動されるトランスファゲートTG1, TG2を介して縦続されているラッチ回路LA1, LA2により構成されている。

【0120】このシフトレジスタ231は、図16を参照して前述したシフトレジスタ611と同様に、入出力番号が増加する箇所では“H”になる入力信号FINを保持し、出力FOUTとして上位の入出力ユニットへ信号FINとして送る。

【0121】3ビット加算器232は、図16を参照して前述した3ビット加算器132と比べて構成が若干異なり、3個の加算回路〜を用いて構成されている。ここで、前段からの3ビットの相補データを(D0t, D0c), (D1t, D1c), (D2t, D2c)、1ビット目(最下位ビットLSB)用の加算回路の相補的な桁上げ出力データを(F1n, F1p)、2ビット目用の加算回路の相補的な桁上げ出力データを(F2n, F2p)、当該段の相補的な出力データ(入出力番号の転送終了後における入出力番号の値を表わす信号、復元された3ビットのフーズデータ)を(D00t, D00c), (D01t, D01c), (D02t, D02c)で示している。

【0122】LSB用の加算回路には、下位のどこかの入出力ユニットに入出力番号が与えられたことを示す符号信号F0がインバータINV1により反転された信号とシフトレジスタ231のラッチ回路LA2の入力ノードのデータFnとがノアゲートNRG1で論理和がとられた1ビットの入力信号と、前段の出力データの1ビット目(D0t, D0c)が入力する。

【0123】2ビット目用の加算回路には、上記LSB用の加算回路の桁上げ出力信号F1pと、前段の出力データ

の2ビット目(D1t, D1c)が入力する。

【0124】3ビット目(最上位ビットMSB)用の加算回路には、上記2ビット目用の加算回路の桁上げ出力信号F2pと、前段の出力データの3ビット目(D2t, D2c)が入力する。

【0125】上記3ビット加算器232の出力信号(D00t, D00c)～(D02t, D02c)は、シフトレジスタ231による入出力番号の転送中、前記信号FINが“H”であるならば、下位の入出力ユニットの入出力番号の値に+1したものとなり、前記信号FINが“L”であるならば、下位の入出力ユニットの入出力番号の値を自身の入出力番号としたものとなる。この入出力番号を表わす出力信号(D00t, D00c)～(D02t, D02c)は、その入出力番号の値を上位の入出力ユニットの入出力番号の計算に用いるために、上位の入出力ユニットに供給される。

【0126】符号転送回路233は、前記符号信号F0とシフトレジスタ231のラッチ回路LA2の出力ノードのデータFpとが入力するノアゲートNRG2と、このノアゲートNRG2の出力が入力するインバータINV2とからなり、このインバータINV2の出力信号FEt(繋ぎ変えを禁ずる信号)は上位の入出力ユニットに符号信号F0として出力されるほか、ノーリダングダンシモード設定回路(DNR)234に供給される。入出力番号の転送終了時に、上記繋ぎ変えを禁ずる信号FEtが“L”である入出力ユニットは、最下位から連続したいくつかの入出力ユニットのみ存在し、その入出力ユニットの入出力番号が-1であることを表わす。

【0127】ノーリダングダンシモード設定回路(DNR)234は、前記繋ぎ変えを禁ずる信号FEtと強制信号NORDnが入力するナンドゲートNAGと、このナンドゲートNAGの出力が入力するインバータINV3とからなり、このインバータINV3の出力が信号FEtxとなってシフト判定回路24に出力される。

【0128】図24は、図22中の各入出力ユニット22におけるシフト判定回路24を取り出して具体的な回路例を示している。

【0129】このシフト判定回路は、入出力番号・シフト番号比較回路と、この入出力番号・シフト番号比較回路の出力信号と図23の入出力番号転送回路からの信号FEt(FEtx)が入力されるノアゲートNRGとからなる。

【0130】上記入出力番号・シフト番号比較回路は、図23の入出力番号転送回路から入出力番号を表わす相補データ信号(D00t, D00c)～(D02t, D02c)=(FD0tn, FD0cn)～(FD2tn, FD2cn)および図17中のアナライザ173からシフト状態shift statusを表わすシフト指示番号信号Z0n～Z2n=(Zn<0:2>)が入力される。そして、上記相補データ信号(FD0t, FD0c)～(FD2t, FD2c)とシフト指示番号信号Z0n～Z2nを各対応ビット毎に比較してその大小関係を判定するように、オアゲートORG、ノアゲートNRG、アンドゲートANG、ナンドゲートNAGによりロ

ジックが組まれている。これにより、シフト指示番号信号 $Z0n \sim Z2n$ は入出力番号を表わす相補データ信号 ($FD0tn, FD0cn$) \sim ($FD2tn, FD2cn$) と大小比較された後、信号 $FEtx$ と論理和がとられ、入出力番号 = シフト番号が成立するか否かを表わすシフト制御信号 Sn が出力する。

【0131】このような動作により、図22の各入出力ユニット22のうちでシフト指示番号信号と入出力番号とが一致する入出力ユニットまではシフト制御信号 $Sn = "1"$ 、それ以降の入出力ユニットについてはシフト制御信号 $Sn = "0"$ を出力し、データ線シフト回路（図1中の8参照）に供給する。

【0132】上記した図22～図24の回路において、本発明の特徴である強制アクセスモード用の入出力番号を与える回路は、図23中に示した入出力番号転送回路における下位のどこかの入出力ユニットに入出力番号が与えられたことを示す符号信号 $F0$ と強制信号 $NORDn$ とによって制御されている。

【0133】即ち、繋ぎ変え（シフト）を無効にする強制アクセスモード時には、強制信号 $NORDn$ を“L”にすると、図22中の全ての入出力ユニット22の入出力番号転送回路23では、図23中のノーリダングダンシモード設定回路（DNR）234の出力信号 $FEtx$ （入出力番号 = -1を表わす信号）が“L”（有効状態）になる。これにより、図22中の全ての入出力ユニット22のシフト判定回路24では、入出力番号 \neq シフト番号の関係が成立しなくなり、出力信号 Sn は繋ぎ変えを禁止するように指示する。この際、3ビットの転送データの値は破壊されない。なお、上記した強制アクセスモードの終了時に通常アクセスモードに移行するためには、強制アクセスモードに入る時と逆の状態、即ち、強制信号 $NORDn$ を“H”にするだけでよい。

【0134】他方、繋ぎ変え（シフト）を全て有効にする強制アクセスモード時には、最下位の入出力ユニットの入力信号 FIN として“H”を入力すると、最下位の入出力ユニットから連続して存在する入出力番号 = -1を表わす信号 $FEtx$ は“H”（無効状態）になり、入出力番号 = 0となる。さらに、強制アクセスモード時には、図17中のアナライザ173から出力するシフト番号を常に0にする回路（図示せず）を使用する。これにより、図22中の全ての入出力ユニット22のシフト判定回路24では、全てのカラムアドレス CA へのアクセスにおいて入出力番号 \neq シフト番号が成立し、出力信号 Sn は繋ぎ変えを行うように指示する。なお、上記した強制アクセスモードの終了時に通常アクセスモードに移行するためには、強制アクセスモードに入る時と逆の手順、即ち、最下位の入出力ユニットの入力信号 FIN を“L”にするとともに、前記シフト番号を常に0にする回路（図示せず）を無効とすればよい。この際、最下位の入出力ユニットの入力信号 FIN を“L”にすると、入出力番号を持つ最も下位の入出力ユニットまで入力信号 FIN が“L”に戻る。

【0135】なお、以上説明したような強制モードの実現において、入出力番号転送回路23とシフト判定回路24と間の配線に、入出力番号 = -1を表わす専用の信号線が存在している。これは、シフト番号の値域が、3ビットデータで表わすことのできる上限の8通りを全て使ってしまうからであり、入出力番号 = -1を表わす配線が新たに必要になったからである。しかし、以下の手法を用いればこれは必要でなくなる。即ち、強制アクセスモード分の空きをシフト番号に設け、例えばシフト番号の値域を1～6とすればよい。入出力番号 = 0を全てのI/O unitに割り当てれば、全ての繋ぎ変えは有効となり、同様に入出力番号 = 7で全ての繋ぎ変えは無効となる。

【0136】以上説明した例では、強制アクセスモードを実現する際、通常アクセスモード時の入出力番号を書き換えてはいるが、通常アクセスモード時の入出力番号を転送した内容を破壊しない。強制アクセスモード時も各入出力ユニットは通常アクセスモード時の入出力番号もしくはその一部を保存している。即ち、繋ぎ変えを禁ずる信号 $FEtx$ の有効／無効（換言すれば繋ぎ変えの有効／無効）を強制信号 $NORDn$ を用いて制御しており、転送データは破壊されない。そして、強制アクセスモード時は入出力番号を一時的に変える手法により、通常アクセスモードと強制アクセスモードとの相互移行を容易にしている。

【0137】しかし、上記とは逆に、通常アクセスモード時の入出力番号を転送した内容の破壊を許す方法によって強制アクセスモードを実現することも可能である。即ち、例えば図25に示すような構成により、図23中に示した通常アクセスモードの入出力番号転送回路を用いて強制アクセスモード時の入出力番号を改めて転送してもよい。

【0138】なお、図25の回路においては、強制アクセスモードに移行する際にテストモード信号 TMp により、テストモード回路251からのテスト信号をセレクト回路252で選択させ、その選択出力を入出力番号付与回路（I/O numbering）253に入力して入出力番号を発行させるように構成されている。この際、最下位の FIN に Hi を入力するだけで入出力番号 = -1を0に変えることができる。なお、図17中と同一部分には同一符号を付している。

【0139】図25に示した構成によれば、図22に示したような強制アクセスモードを示す強制信号 $NORDn$ を、各入出力ユニット22を貫いて配線する必要はなくなる。さらに、高速に変化する信号 $FEtx$ が強制アクセスモード時に通常アクセスモードと異なる信号経路を通ることを避けることができる。

【0140】なお、本発明は、上記したようなDRAMに限られることなく、SRAM、EEPROM等の他の半導体メモリにも同様に適用することが可能である。

【0141】

【発明の効果】上述したように本発明の半導体記憶装置によれば、シフト番号の値域を減らし、スイッチ状態信号を各入出力ユニットに伝える配線数（カラム救済を行うための配線数）を減らすことができる改良型のデータ線シフト冗長回路を利用している。そして、繋ぎ代え情報を持つフューズ素子の状態に関係なくメモリセルに強制的にアクセスするテストモード（強制アクセスモード）を付加する場合に、データ線切換回路部の入出力ユニットの位置に関する情報を複数持ち、それらを切り換えて入出力ユニットに所望の位置情報を設定することを可能としているので、通常アクセスモード時におけるメモリセルへのアクセス速度の劣化を抑制することができる。

【0142】また、本発明の半導体記憶装置によれば、フューズ素子の記憶データを比較回路に転送する際、転送データを任意の別のデータに切り換えることができる。この場合、記憶素子に記憶されるデータを用いて不良のメモリセルの救済を行うようにすることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係るDRAMの構成を概略的に示すブロック図。

【図2】図1中のメモリセルアレイの構成を模式的に示す図。

【図3】図1中のマルチプレクサ回路におけるデータ線シフト動作の原理的な考え方を説明するために示す図。

【図4】図1中の選択回路の一例を示す回路図。

【図5】図4の選択回路に設けられているフューズ素子の割り付け機能を説明する図。

【図6】図1中のシフト制御回路の一例を示すブロック図。

【図7】図6中のシフト指示番号保持回路の一例を示す回路図。

【図8】図6中の判定回路の一例を示す回路図。

【図9】図1中のデータ線シフト回路が読み出し用のシフト回路として構成された例を示す回路図。

【図10】図1中のデータ線シフト回路が書き込み用のシフト回路として構成された例を示す回路図。

【図11】図6のシフト制御回路の変形例1を示すブロック図。

【図12】図11中のシフトレジスタの一例を示す回路図。

【図13】図6のシフト制御回路の変形例2を示すブロック図。

【図14】図13中のシフトレジスタに転送保持するデータの一例を示す図。

【図15】図13中のデータ変換回路の一例を示す回路図。

【図16】図13のシフト制御回路の1段分の一例を示す回路図。

【図17】本発明の実施形態1に係るDRAMにおいて改良型のデータ線シフト冗長回路に対してメモリセルに強制的にアクセスするテストモード（強制アクセスモード）を付加した場合の構成を示すブロック図。

【図18】図17のデータ線シフト冗長回路の通常アクセスモード時の動作状態を説明するために示す概念図。

【図19】図17のデータ線シフト冗長回路の切換回路による繋ぎ代えを強制的に無効状態に設定する強制ディセーブルモードの動作状態を示す概念図。

【図20】図17のデータ線シフト冗長回路の切換回路による繋ぎ代えを強制的に行う第1の強制アクセスモード（強制リダンダンシモード）の動作状態を示す概念図。

【図21】図17のデータ線シフト冗長回路の切換回路による繋ぎ代えを強制的に行う第2の強制アクセスモード（強制リダンダンシモード）の動作状態を示す概念図。

【図22】図17のデータ線シフト冗長回路の切換回路の各入出力ユニット同士で信号をやり取りする信号線と入出力番号転送回路とシフト判定回路の接続関係を簡略的に示すブロック図。

【図23】図22中の各入出力ユニットの入出力番号転送回路の一例を示す回路図。

【図24】図22中の各入出力ユニットのシフト判定回路の一例を示す回路図。

【図25】図17のデータ線シフト冗長回路の切換回路による繋ぎ代えを強制的に行う第3の強制アクセスモード（強制リダンダンシモード）として通常アクセスモード時の入出力番号を転送した内容の破壊を許す方法によって実現した場合の動作状態を示す概念図。

【図26】従来のDRAMにメモリに設けられたカラム冗長回路に関する構成の一例を示すブロック図。

【図27】図26中のカラム冗長回路としてデータ線シフト冗長回路が設けられた場合の構成の一例を示すブロック図。

【図28】図27のデータ線シフト冗長回路のデータ線シフト制御のための選択信号線の本数を少なくするように改良提案中のデータ線シフト冗長回路の一例を示すブロック図。

【図29】図28のデータ線シフト冗長回路に強制アクセスモード（強制リダンダンシモード）を付加する場合に考えられる構成の一例を示すブロック図。

【図30】図28のデータ線シフト冗長回路に強制アクセスモード（強制リダンダンシモード）を付加する場合に考えられる構成の他の例を示すブロック図。

【符号の説明】

171 …切換回路 (switches)、

173 …アナライザ (analyzer)、

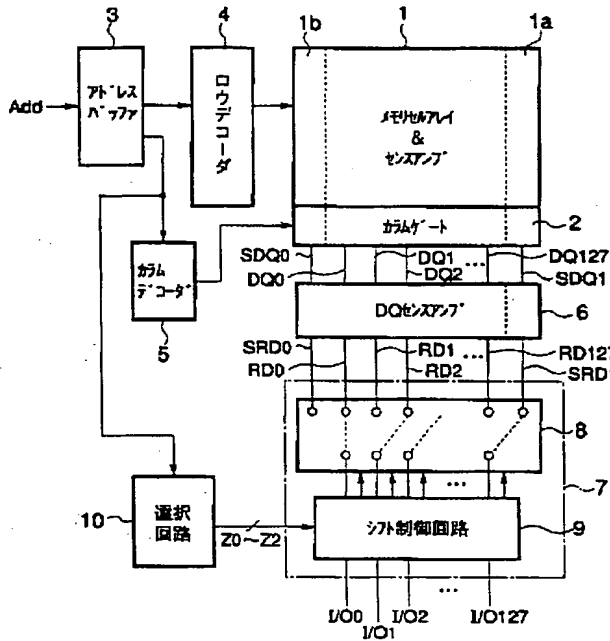
174 …フューズ素子 (fuse1)、

175 …フューズ素子 (fuse2)、

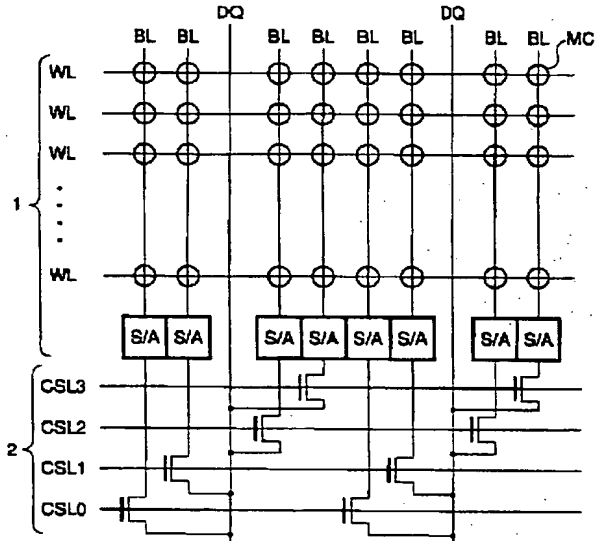
- 181 …第1の入出力番号付与回路 (I/O numbering A)
)、
 182 …第2の入出力番号付与回路 (I/O numbering B

-)、
 183 …セクタ回路 (selector) (番号設定選択回路)。

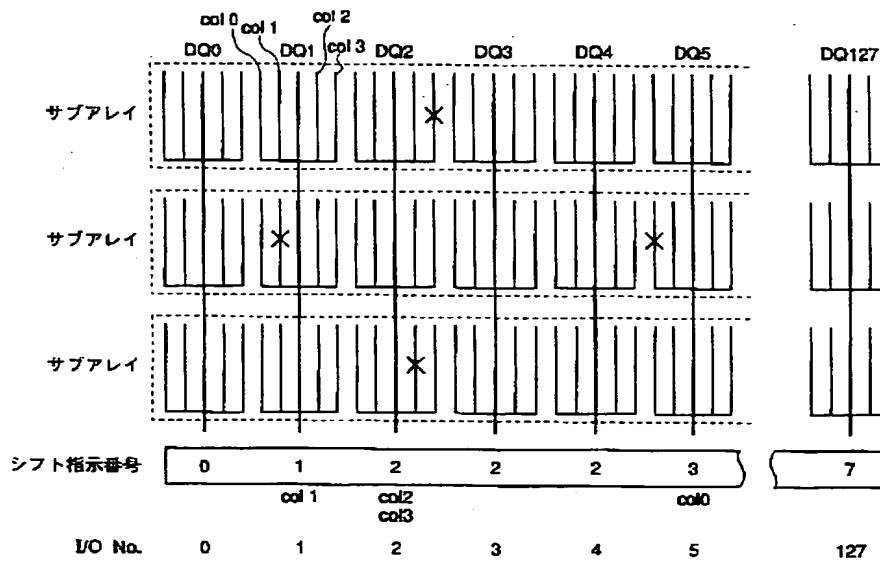
【図1】



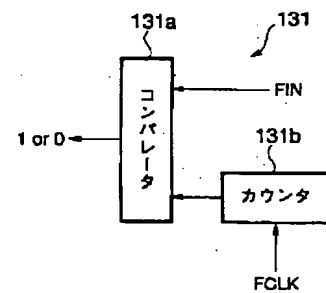
【図2】



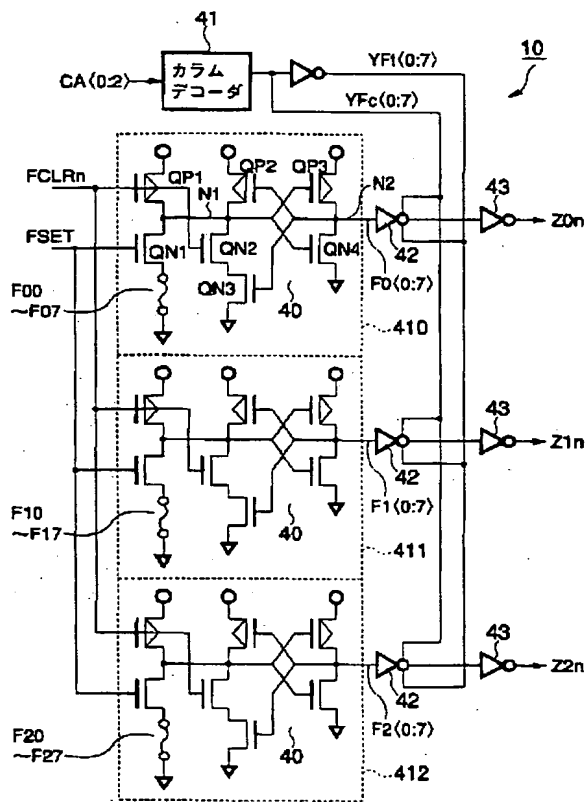
【図3】



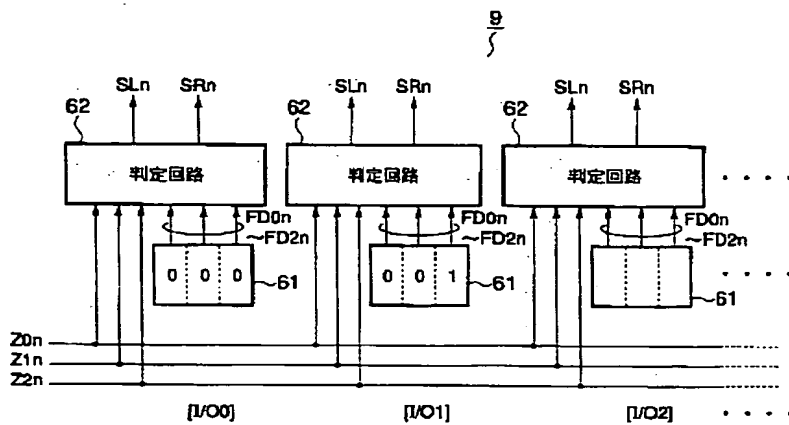
【図15】



【図 4】



【図 6】



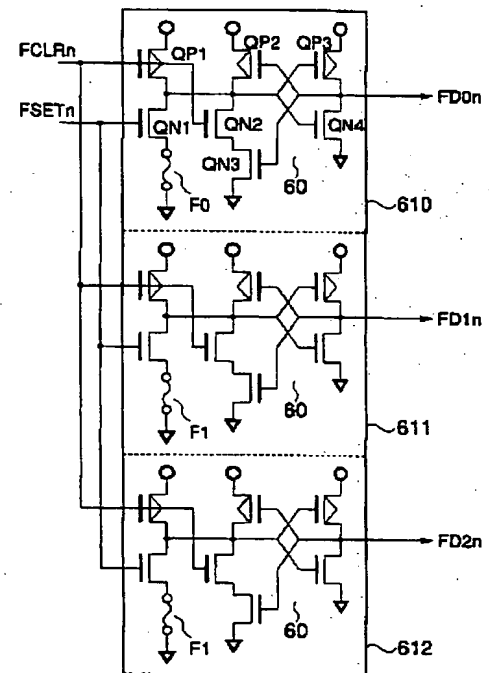
【図 14】

シフト指示番号	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7	I/O8
シフトレジスタ(Fp)	0	1	1	0	0	1	0	1	0

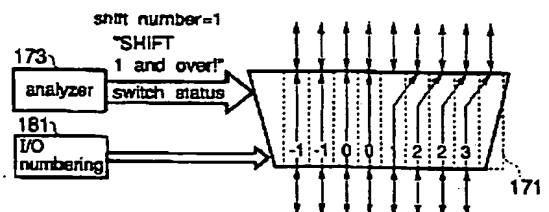
【図 5】

コラムアドレス	0	1	2	3	4	5	6	7
Z0	F00	F01	F02	F03	F04	F05	F06	F07
Z1	F10	F11	F12	F13	F14	F15	F16	F17
Z2	F20	F21	F22	F23	F24	F25	F26	F27

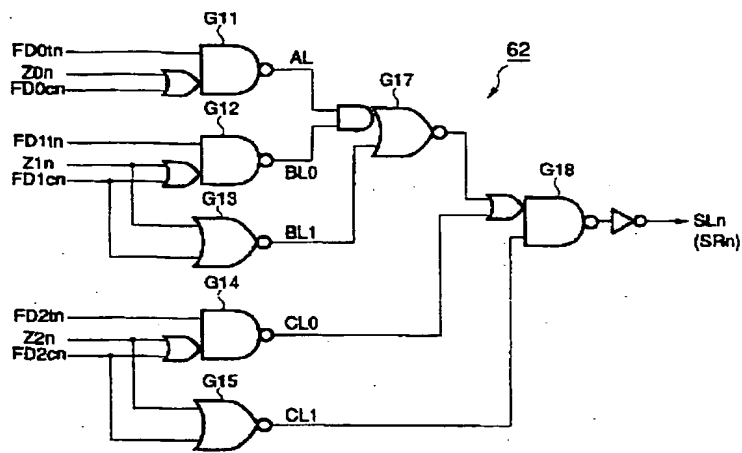
【図 7】



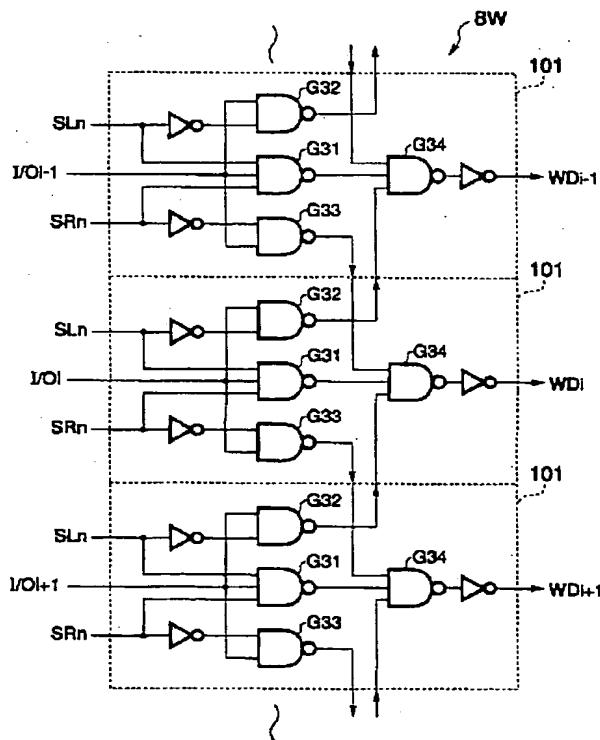
【図 18】



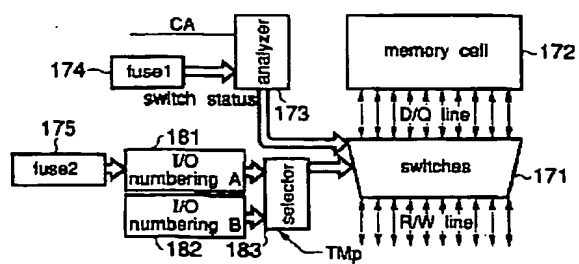
【図 8】



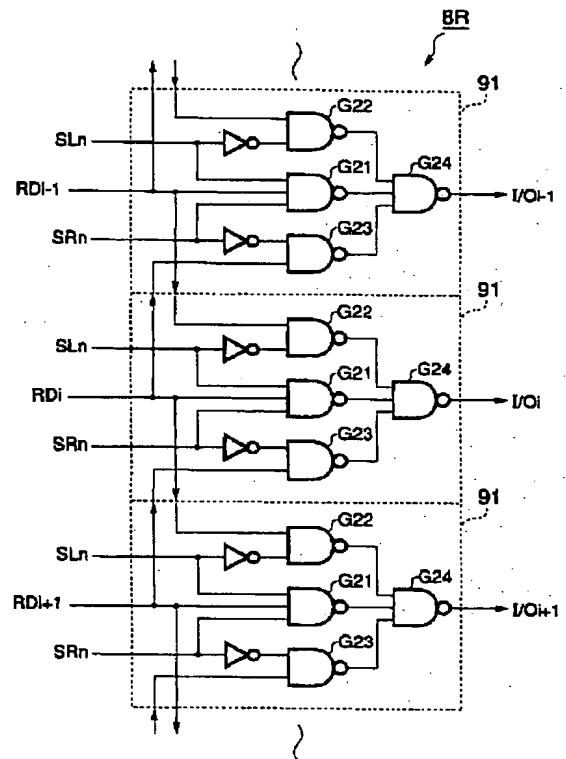
【図 10】



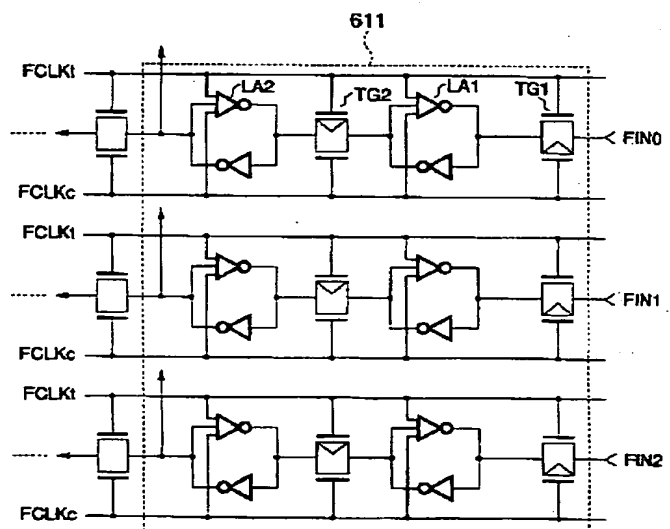
【図 17】



【図 9】

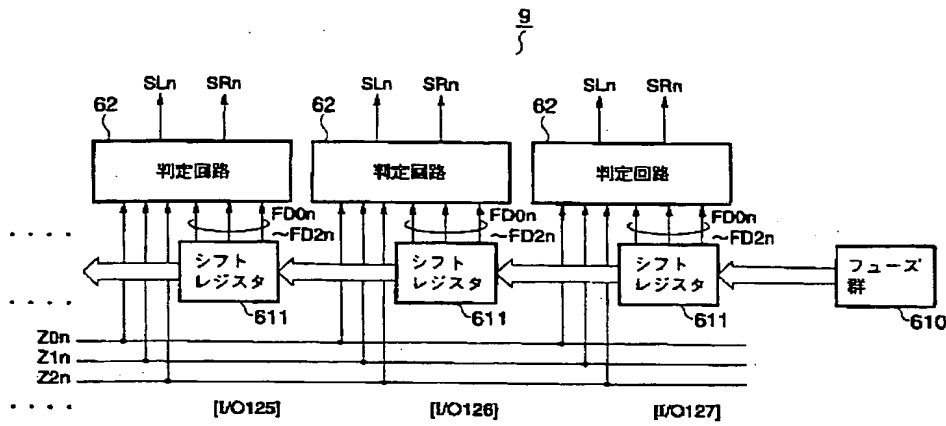


【図 12】

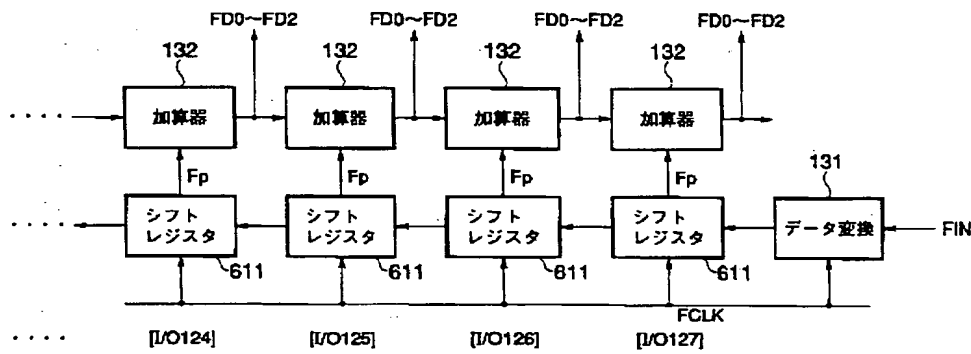


611

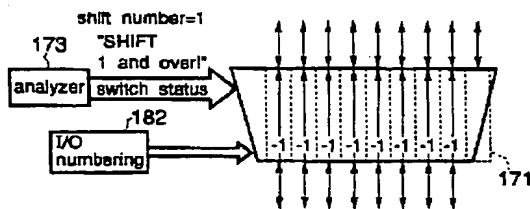
【図 11】



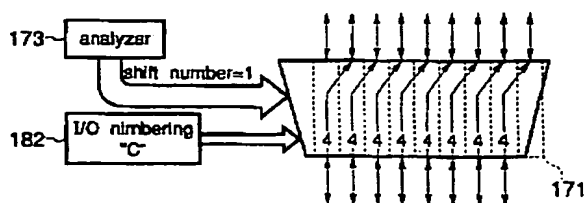
【図 13】



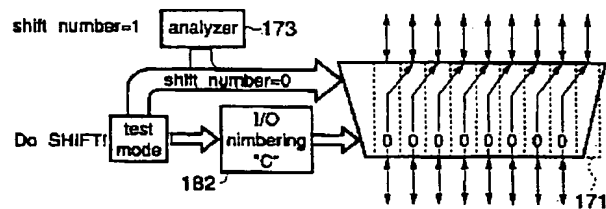
【図 19】



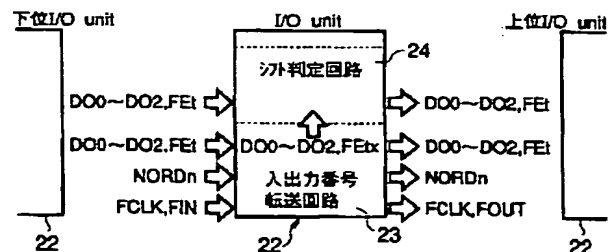
【図 21】



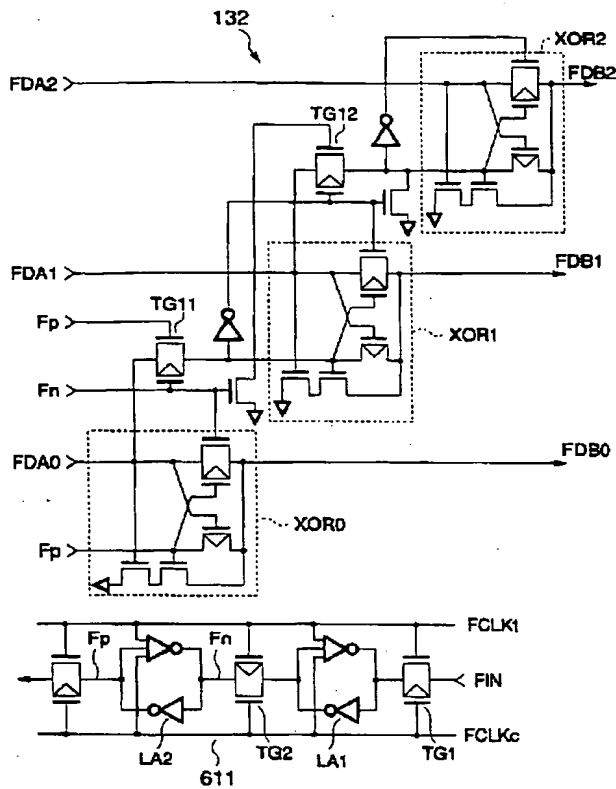
【図 20】



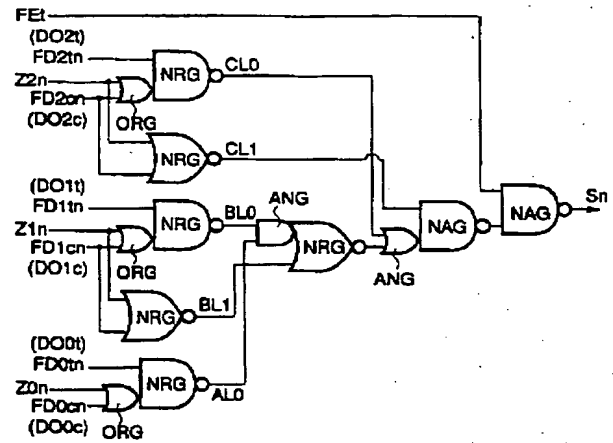
【図 22】



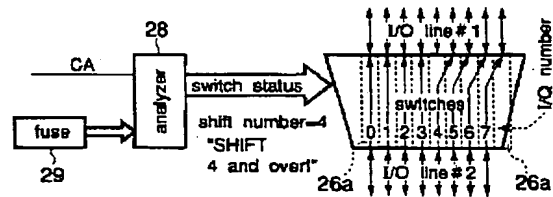
【図 16】



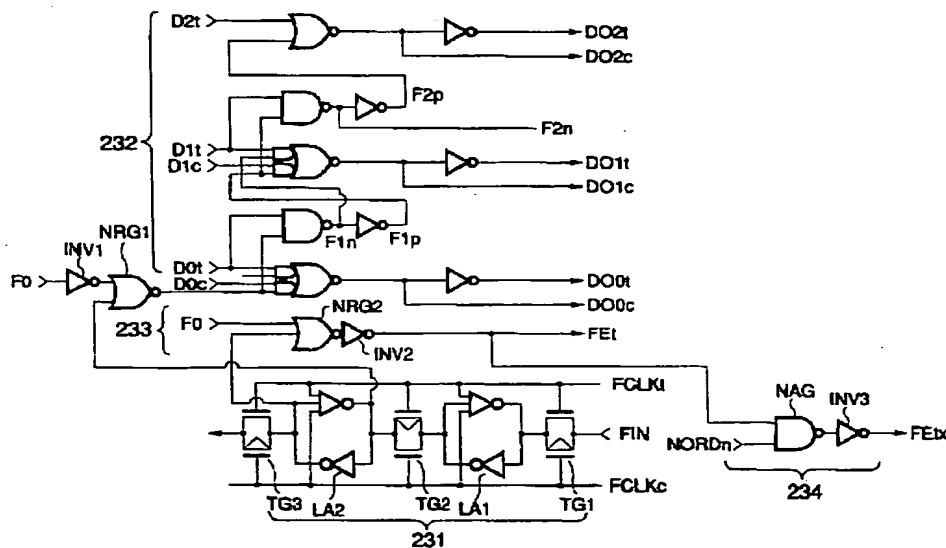
【図 24】



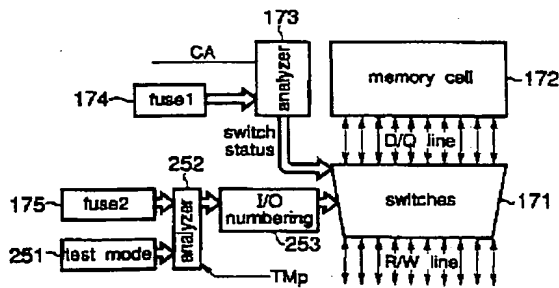
【図 27】



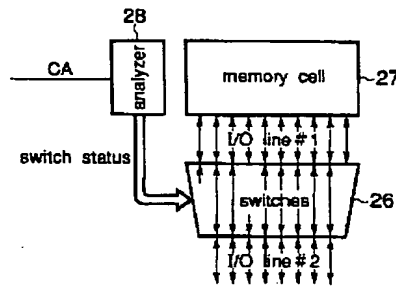
【図 23】



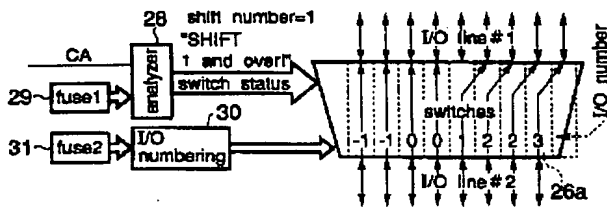
【図25】



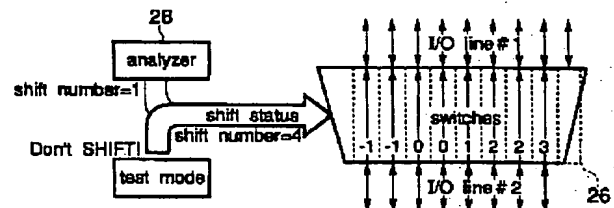
【図26】



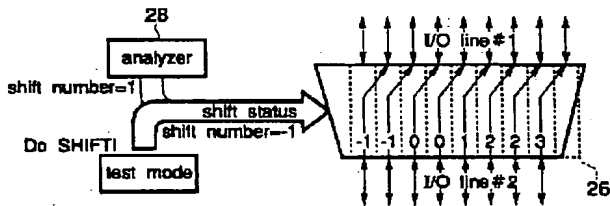
【図28】



【図29】



【図30】



フロントページの続き

Fターム(参考) 5B018 GA03 GA06 KA16 MA06 NA02
 NA03 NA06 PA01 PA03 QA13
 RA11
 5B024 AA15 BA15 BA29 CA07 CA17
 5L106 AA01 AA15 CC12 CC13 CC17
 GG03